## DETAIL JAPANESE LEGAL

## PATENT ABSTRACTS OF JAPAN

(11)Publication number :

2000-232075

(43) Date of publication of application : 22.08.2000

(51) Int. C1.

H01L 21/265

H01L 29/78

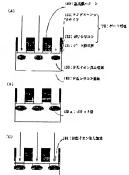
H01L 21/336

(21)Application number : 11-032784 (22)Date of filing : 10.02.1999 (71) Applicant : OKI ELECTRIC IND CO LTD (72) Inventor : SHINOHARA HIROBUMI

## (54) MANUFACTURE OF SEMICONDUCTOR DEVICE

(57) Abstract:

PROBLEM TO BE SOLVED: To permit formation of a MOS FET which reliably has a pocket layer, even when it becomes difficult to implant impurity ions from an oblique direction with respect to a silicon substrate, due to its miniaturization in steps of manufacturing a semiconductor device and in particular, a MOS FET having the pocket layer. SOLUTION: A gate oxide film 111, a gate electrode 150 made of a polysilicon film 112 and a tungsten silicide film 113, and a nitride film pattern 140 are selectively formed on a P-type silicon substrate 110, and then the P-type silicon substrate is subjected to vertical implantation of P-type impurity ions with respect to the substrate. Then a P-type ion implanted region 120 formed by the P-type ion implantation is diffused and activated, to form a pocket layer 120a prior to the formation of other ion-implanted regions.



301P デーコード(参集) 5F040

(SI)[ntQ.

#512E

3

TIOH 21/25 21/33 29/18

H011 21/26 29/78

**寄室勘学 未建筑 請求項の数4 OL (全 10 頁)** 

(72)発明者 (71)田間人 00000295 東京都住区地/門1丁目7番12号 中國经上東京共全社

(22)出源日 (21)出品等与

平成11年2月16日(1998.216) 作数字!!-32784

(74) FUEL 100083083 外理士 大百 使出 工業体式会社内 東京都沿区北ノ門1丁目7番12号 神戦気

813

FAIS FAIS F302 FC00 ENDS ENDS FAIO FAIO FAIO EUCE 811 595 510 503

製造方法。 武器1等危型の不然物の外部搭数を防止可能な環境にま で成長させた後、前記第1導電型の不関節が懸拡散する

の前型所定録~拡展させる工程後、 において、前記第1番機製の不規制を創記チャネル指導 【請求項4】 請求項目に配載の半導体装置の製造方法

ソースに比して民義度の不能物質域を形成する工程を行 夜半れた銀装に、約20ソースと同一等低型で、から前板 うことを特徴とする手導体装配の製造方法。

NACA

# BORNS

10001 [発明の洋海な短明]

FETを形成する。

間になった場合でも、確実にポケット図を有するMOS

ット間を用いたMOSFETの製造方法に関するもので 【産業上の利用分野】この発明は半導体装置、特にポケ

ート長が0.25 pm以下になってくると、LDD構造だけ の 超を有する構造がよく用いられている。しかし、ゲ **た原後に、板値回から夜後合たソース・ドラインと同じ** tor Field Effect Transistor) においては、ゲート長 る。そこで、ポケット履を有する構造を用いられるこ では粒チャネル効果を発見することは困難になってく 導電型の不能物層であるLDD(Lightly Doped Drei するために、ソース・ドレインとチャネル版稿に技法的 を整小する上で問題となってくるボティネル効果を容易 【接来の技術】MOSFET (Wetal Oxide Seniconda

せて活性化し、ポケット層120mを形成する。 四級120を他のイオン注入四級を形成する前に対数6 型の不規物イオン注入により形成されたP型イオン注入 P型シリコン基板に対して装真に行う。そして、このP 11、ポリンリコン112およびタングステンシリサイ

40を選択的に形成した後、P型の不執物イオン注入を ド113からなるゲート処施150、被応収スターン1 【構成】 P型シリコン基板110上にゲート酸化模 をシリコン基板に対して釣め方向から注入することが困 FETの製造工程において、微細化により不成物イオン 【目的】 早海安装型、禁にボケット船を有するMOS (54) [発明の名称] 半導体装置の製造力法

第五人の白の日本: 181 MEYOR SEASON

「特許は米の祖田

に復居形成する工程と、 下路線線および線ゲート総線域上にゲート低級を選択を 【請求項1】 第1専収型の半導体基体設面上に、ゲー

に拡散させる工程と、 的記不信物を信託ゲート包護下のチャネル製装の所定的 **創記手導体基件姿面より所定の深さに再入する工程と** 個院ゲート結構をマスクにして、 祭 1 英雄型の不規約を

海航型の不規制を排記半導体品体表面より所定の校さに **創記如歌工指接、創記ゲート包括をマスクにして、第 2** 導入する工程と

形成する工程とを有することを特徴とする単導体装置の 約12不純物を導入後、前記第2歳総型の不規物を拡放さ せることにより、何2番包型のソースおよびドレインも

行うことを特徴とする半導体装置の製造方法。 第1導鐵型の不規約を導入した部分の前記半導体基体の 前記第1導電型の不見物を拡散させる工程の前に、前記 において、側位第1条組織の不規物を導入する工程後 製造方法。 韓出した表面を覆う外部拡散防止用膜を形成する工程を 【請求項2】 請求項目に記録の半等存款間の製造方法

において、前記外部拡散防止用限を形成する工程は、前 温度まで上昇させて行うことを特徴とする半導体装置の 【請求項3】 請求項2に記載の半導体装限の製造力を

前記ソースまたは何記ドレインと、前記チャネル御城に

により形成されたイオン住入領域を、他のイオン住入家 基板収値に対して斜め方向からイオン注入を行う。 これ 工程を示す新画工程図である。これを用いて従来におけ を形成した後、これらと同時に活性化させて形成する。 装、例えばソース・ドレインとなるイオン住人保険など 丘がる部分に形成する必要がある。そのために、半路4 **美色型の不見物を、整件型にディネル製造下で仮込込い** [0004] 図7および8は従来のMOSFETの形成 【0003】ポケット掲は、ソース・ドレインと異なる

ン場所410上に優的版、ポリシリロン版、タングステ とに関単に説明する。 [0005]まず図7 (A) に示すように、P型シリコ

るポケット層を有するMOSFETの形成プロセスを以

10の収置に対して斜め方向から住入し、早型イオン注 これらの4項の概をパターニングしてゲート数化版41 人質是420を形成する。 て、図?(A)の矢印で示すようにP型シリコン基版な 脱パターン4)4およびゲート位後450をマスクにし 1 0中に、P型の米植物イオン、例えばBF2\*を、蜜化 40を遊院的に形成する。それからP型シリコン基板4 3からなるゲート監接450、および至犯収パターン4 1、ポリシリコン412とタングステンシリキイド41 ンシリサイド収および敷化原を低に形成する。それから [0006] 次に図7 (B) に示すように、P型シリコ

のために行うイオン注入のドーズ弦の100分の1程度であ は図7 (C) におけるソース・ドレイン器423 a 形成 クにして、図7 (B) の矢仰で示すようにP型シリコン 入類後444を形成する。 このイオン住人でのドーズを 感吸410の表面に対して垂直に住入し、N型イオン注 を変化版パターン414およびゲート的編450をマス ン規模410中に、N型の不成物メギン、例えばAs\* 【0007】 次に関7 (C) に添すように、ゲート的

往入し、N型イオン注入額域423を形成する。 にして、P型シリコン感費410の製造に対して養資に ルスペーチ441および室化原パターン440をマスク IT、N型の冷抹物イオン、倒えばAs+をサイドウォー 「参議契約に形成し、校にP慰シリコン規模410中 ことで、今までに形成した各イオン在入園版420、4 [0008] 次に図8 (A) に示すように敷処理を行う 「の展覧に銀行機からなるサイドウォールスペーチ54 450、強化酸パターン440%Lぴゲート吸化酸41

一ル430を関口させる。 し、ソース・ドレイン帰423mの上部にコンタクトホ 5金素にSiO2などの複雑性の細胞膜415を形成 からはソース・ドワイン第423mを形成する。 それの からしDDM4448を、そしてイポン狂人質疑423 20からポケット閏420mを、イオン狂入痕壁444 44、423をそれぞれ居性応させ、イオン住入御峡4

8

**時間平12-23207**9

コンタクト图432の上に記録图431を形成する。 ホーチ430円にコンタクト階432を務め込み、この 【0009】 次に図8(B)に示すように、コンタクト

ってボケット組を形成していた。 し、その扱、このイオン往入原域を活性化することによ 質権下で位と始が広がる部分にイオン注入領域を形成 して斜め方向からイオン住入を行い、動作時にチャネル 米のボケット間の形成工程では、シリコン基板表面に対 [発明が解決しようとする課題] 以上に述べたように負

い、シャドー角尿が見ればじめる。こうなるとイオンロ ルが例えばQ.18』m以下になってくると、ゲート創格語 てしまい、デバイス特性を劣化させてしまう。 えばソース・ドワインとなるイオン住入恩が控制しすぎ ト昭を形成する方法を用いると、他のイオン注入的、例 後に、イオン注人居を並取する時間を長くして、ポケッ することができなくなる。一方、全イオン住入製粧形成 分に全て形成されなくなる。つまり、ボケット始を形式 人们成が、動作時にチャネル似板下で空之間が広がる部 間のゲート自座の格に認れて不規模イオンが住入されな ン基板表面に対して斜め方向からイオン往入を行うと、 士の慰諾がゲートの後の項をに共べて挟へなり、シリコ 【0011】しかしながら、微粒化が速みデデインルー

四の製造方法を担保することにある。 四においても、ボケット四を確実に形成できる半導体は 格となるデザインペースの、18ヶ田以下の町代の半貫洋は 【0012】本発明の目的は、短チャネル効果がより質

[0019] 太に図1 (C) に示すように、P型シリコ

性化する。その後ゲート包括をマスクにして、第2項目 ル関係の直下に位置するよう拡散させることにより、落 それからこれを活性的させて第2番問題のソースおより ことにより、第2両艦型のイオン住入船域を形成する。 髪の不純物を半導体基板製造より所定の役さに導入する 中の所信の群さに招1番税型のイオン在入職政を形成さ 板製造に対して施査に導入することにより、半導体基準 **海島型の不規格を、ゲート船舶をマスクにして半路体理** 上に位置するゲート知能を選択的に形成する。次に第1 半母体系模技術上に、ゲート絶縁観話よびゲート絶縁観 め、本是明の半導体装置の製造方法では、第1尋找型の ドフムンやあ眠とら [韓昭を解決するための手段] 上述の目的を選成するた このイオン狂人母後をゲート四種に対応するチャル

1の意識に優力吸がらなるサイドウォールスペーチー4

OSFET (N-type Netsl Oxide Semiconductor Fiel 芸図の製造方法の第1の実施の形態について規則するた 【0015】本発明の第1の実施の形態を用いて、NM めの新面工程図である。以下、図1および図2を用いて 【発明の実施の形態】図1およUE2は本発明の半導体

d Effect Transistor) を製造する場合について提明す 本発明の前1の実施の影響について技術する。

> テンシリサイド協および室化原を順に形成する。そして コン基接110上に数化模、ポリクリコン膜、タングス [0017] 次に、P型シリコン基板110中に催化器 40を選択的に形成する。 3からなるゲート包括150、および変化原パターン 1、ポリシリコン112とタングステンシリサイド11 これらの4回の間をパターニングしてゲート数化版!! [0016]まず、図1(A)に示すように、P型シリ

ット間120mとなる。 人類級120は拡散されることにより活性化されてポケ 分、熟処理を行う。この熟処理によって、P型イオン注 がる部分にまで熱粧散させるため、800~850℃で60~90 住入園装120を動作時にチャネル製装下で空を掲が広 住人様き:0.07~0.10μ m、ドーズ量:約1013/cm2 ポー: #50kg、P型シリコン指板1 1 0 0 被阻さらの 入する不統領イオンの権罰:BF2\*、イオン住入エネル の工程のパラメータおよび条件は以下の通りである。往 て、P型イオン注入解験120を形成する。図1(A) の矢印で示すように無道にP型の不発物イオンを注入し パターン114およびゲート環接150をマスクにし [0018] 次に図1 (B) に示すように、P型イオン て、P型シリコン馬吸110の表面に対して図1 (A)

程:#2×1013~5×1013/ca2。 基板の表面からの注入原さ:約0.04~0.07gm, ドース 以下の通りである。往入する不統領イオンの種類:As 面に対して図1 (C) の矢印で示すように当直にN型の 権150をマスクにして、P型シリコン基長110の扱 ン馬板110年に強力原ベターン114およびゲート的 150、液化痰パターン140およびゲート数化療11 10020] 次に図2 (A) に示すように、ゲート信義 形成する。図1 (C) の工程のパラメータおよび条件は 不統物イオンを注入して、N型イオン注入開装144を イオン往入エネルギー: #20~30km、P型シリコン

住入類版123を形成する。図2(A)の工程のパラン # B. ドーズ母: 約5×10<sup>15</sup>/cm<sup>2</sup> P型シリコン基版110の製造からの注入課さ:約0.1 オンの種類: Ast. イオン注入エネルギー: 約50keV 一クおよび条件は以下の通りである。注入する不能物が して製造にN型の不規能イオンを注入して、N型イオン 0をマスクにして、P殻シリコン基板110の表面に対 イドウォールスペーサ | 4 | および変化原パターン | 4 10,021]そして、P型シリコン温板110中に、参

題1238となり、N型イオン注入領域144は活性作 イオン法入類域123は居住化されてソース・ドレイン おいて約10万般処理を行う。この形処理によって、N型 【0022】 次に図2 (B) に示すように、約1000℃に

> などの絶縁性の展問鎖115を塔頭させ、それからソー されてLDD形144sとなる。次に、全面にSiO2 30 E MID 6 tt 5. 一工程とエッチング工程を行って、コンタクトホール メ・ドワイン型123mの土邸に、フォトリングラフィ

を行ってコンタクトホール内130にコンタクト型 20132を形成するため再館踏を全層に陥積させ、エッ グする。なお、コンタクト四132を刺媒感として用い **オトリングラフィー工程とエッチング工程なパターニン** 132を形成する。最後に配稿局131を集積させてフ テベックをたはCMP(Chemical Mechanical Polishie [0023] 次に図2 (C) に示すように、コンタクト

版111の閲覧にサイドウォールスペーサ141を配し 気的に接触し、ショートしてしまう。したがって、ゲー 関ロするとき、フォトリングラフィー工程におけるマス ておくことによって上記のずれに対する問題を解説でき ト危格150、室化袋パターン140およびゲート級引

[0028] さらに図1 (C) の工程においては、N型

り十分な極ティネル効果の抑制を行うことが可能にな

形成工程に影響を与えることなく、形成することができ 20 s形成の後に形成されるため、ポケット語120 s [0025] さらにLDD暦144aは、ポケット版

ることも可能である。 オールスペーサ 1 4 1は、図2 (B) におけるソース・ 【0024】なお室に吸パターン140およびサイドウ

配がずれた場合に生じる、ゲート収施150の腐出を訪 ト報酬150上に後出版パターン140を、およびゲー コンダクト間132と、韓出したゲート信優150が信 糖で図2 (B) に示したコンタクトホール130に図2 ぐ改御がある。もしも、ゲート収集150が貸出した状 ク合わたのずれに起因して、コンタクトホールの間口位 ドレイン語123 mの上部にコンタクトホール130を (C) に示したコンタクト図132を形成すると、この

で佐之間が広がる即分に形成することができ、これに、 合でも、ポケット圏120gを動作時にチャネル銀線下 が高く、降り合うゲート栽培150同士の間隔が狭い場 となく狂人できる。したがってゲート信機150の高さ 不規約のイオンをゲート賠債150によって送られるこ るP型イオン注入整装120は、ソース・ドライン器1

に対して無質に注入することが可能になるので、P型の P型の不無物のイオンをP型シリコン構奏110の数語 空と超が反がる部分に形成しなくてもいい。 したがって 任尊に設定できる。 0まり、 P型イオン在入版後120 ケット階となるP型イオン往入前装120の証数条件を の単導体装置の製造方法では、ポケット圏120 \* とな をイオン住人によって直接、動作時にチャネル質級下で ・ドレイン暦123mの形成工程に影響を与えずに、ポ 23 a を形成する前に独立して無拡散するため、ソース 【0025】上近した通り、本発明の第1の実施の形態

類級120はLDD图144sとなるイオン性入類級1 る。 これは、ボケット図120 a となるP型イギン注) 【0027】本売明の第1の実施の形態ではNMOSF 4.4 を形成する前に独立して熱弦数することができるか

西からの住入様さ:0.07~0.10μm、ドーズ森:約1013 Oker、As \*の場合は約150ker、N型シリコン基板の最 \*またはAs\*、イオン注入エネルギー: P\*の場合は約1 は以下の通りである。住人する不規能イオンの種類:P を形成する。図1 (A)の工程のパラメータおよび条件 にN型の不統物イオンを注入して、N型イオン注人供扱 英一20 形形のための下型の不満物イヤン技人の代わり さらに図1(A)の工程においては、P型イオン注入値 ロン場板1-10の代せりにN別クリロン局板を低いる。 6よい、PMOSFETを製造する場合には、P型シリ torfield Effect Transistor) を製造する場合に用いて C. PMOSFET (P-type Metal Oxide Senicondar **ETを粥にして放明したが、これに限られたものではな** 

コン居長の仮鑑からの往入群さ: #30.04~0.07 μα、ド イオン注入類項144形成のためのイオン注入の代わり [0029] そして図2 (A) の工程においては、N型 ーズ程: 約2×10<sup>13</sup>~5×10<sup>13</sup>/cm<sup>2</sup>。 F2\*、イオン在人エネルギー: 約20~30ke/、N型シリ は以下の辿りである。往入する不規物イオンの権权:B を形成する。図1 (C) の工程のパラメータおよび条件 にP型の不成物イオンを注入して、P型イオン注入質域

を形成する。図2(A)の工程のパラメータおよび条件 ITP型の不規物イオンを注入して、P型イオン技入割域 イオン注入事業123形成のためのイオン注入の代わり ×1015/cm2 **基版の設面からの注入深さ:約0.15μm、ドーズ畳:約3** F2<sup>t</sup>、イオン住人エネルギー:約40keV、N型シリコン は以下の通りである。往人する不規格イオンの種類:B

[0030] その他の手続はNMOSFETの場合と探 [0031] 本実施例の半導体製図の製造方法は、半導

適用することができる。 し、この基体の装面上に半導体装置を形成する場合にも 存成後の一部に半数年期及と関なる母母数の現みを形成 [0032]また本実域例ではP型シリコン基板110

**0と同時にパターニングして、ゲート酸化は111を形** 様、N型イオン住入領域144形成前に行ってもよい。 ション場後110世の数的数のパターコングによるゲ 成しているが、この方法に限られるものではなく、P堅 上の機化版を、ゲート結補150や酸化版パターショム 一下標门(21111の形成は、ボケット的120a形成 [0033] あるいはLDD图144mの代わりに、エ

クステンション西を形成してもよい。このとき、不認む

特第平12-23207

(0034) 図33よに現れ米を用の半典体態型の数益方性の原名の実施の影響について採用するための指摘 独方性の原名の実施の影響について採用するための指摘 工程型できる。以下、図33よび図4を用いて米来用の 第2の実施の形態について採用する。 [0035] 米発界の第2の実施の形態を用いて、Nb

008 日本教会でも始けてかて設計する。
1003 日 主、個 3 (4) に元十またに、空ビッコン産業210 には他に、ボリッリン院、ゲンス
デンジライ、門はは江東に使、北京では、北京では、北京ではの程でター・アンバーゲー・場所は21 に 1、ポリッリコン2 1 2 セラングステンシリティド2 1 3 からんとケー・円端 22 0、および東にヴァーン 2 4 セラングステンシリティド2 1 3 からんとケー・円端 22 0、および東に使・ケーン 2 4 セを当時がに振れる。

100 371 後は、 PRV9 コン北海2 1 の中に関係 ・ トラーン2 1 はおしが - 「日間2 50 年 マカラ (1) の たが中できょうに単位に アカリ (2) の たが中できょうに単位に アカリ (3) の たが中できょうに単位に アカリ (3) の たが中できょうに単位に アカリ (3) の たが中できょうに乗じま 1 を子。 インカンスキャ ギー・ドカルド・アルフ - 1 を見 (3) の 表面を与っ か (4) の 5 8 月 (4) で 1 を示す。 まってい 10 0 5 8 月 (4) で 1 を示す。 まってい 10 0 5 8 月 (4) で 1 を示す。 まってい 10 0 5 8 月 (4) で 1 を示す。 まってい 10 0 5 8 月 (4) で 1 を示す。 まってい 10 0 5 8 月 (4) で 1 を示す。 まってい

230を関口させる。

M』-堆積させる。外部拡散防止用数2 4 2の数項は、

【0045】なお室化原パターン240およびサイドの

オン注入エネルギー: 約20~30keV、P型シリコン基準 通りである。住入する不能物イオンの種類:Ast、イ る。図3(D)の工程のペラメータおよび条件は以下の オンを住入して、N型イオン注入側域244を形成す て図3(D)の矢垣で示すように最近にN型の不成物へ をマスクにして、P型シリコン基板210の表面に対し 10中に硫化段パターン214およびゲート収施250 **止用類242を数り抜く。それからP型シリコン基板2** 括性化されてボケット圏220°となる。 て、P型イオン住入領域220は拡散されることにより CICSI、T60~90分、影処理を行う。この影処理によっ がる部分に位置するように無拡張させるため、800~850 往入前城220を動作時にチャネル前域下で空乏船が広 しない程度に設定されている。 オンが創処程時、P型シリコン基礎210の外部に対象 P型イオン住入関係220中に合まれるP型の不規制4 [0040] 太に図3 (D) に示すように、外部拡張数 [0039] 表に図3 (C) に添すまうに、P型イオン

> - の映画からの在入版を:約0.64~0.07μm、ドース県: 約2×10<sup>13</sup>~5×10<sup>13</sup>/m<sup>2</sup>。 【0041】 教に図4(A)に集ままりに、ゲートの流

[0041] 大区図4(A)に示すように、ゲート収益 250、翌代版ペターン240およびゲート版化版21 1の解説に張行版からなるサイドウォールスペーサ24 1を影響する。

イドウォールスペーサ241および選化版パターン24

【0042】そして、P型シリコン場底210中に、サ

(\* 1975年 - 1

(1044) 放送図 (C)に示すさきに、コンタラト 第232を設成するため専規を全部に関係され、エッ デバタを比にいいを行ってコックラトラーペ科23 Oにコンタラト号232を形成する。接端に取締員23 Cにコンタラト号232を形成する。接端に取締員23 上を構造を行つよりリグデフィー工能とエッテング 工程でパラーニングする。化は、ニンタラト号232を 起題をして開いることも確定もる。

0. 【0046】上近した通り、本原男の第2の実施の影響の の半異体状態の製造方弦では、ボケット第220mとな るド型メオン注入製板220は、ソース・ドレイン限2

(0047) 各氏にしDD8244に、ボケット82 20 a 新級の際に形成されたため、ボケット8220 新成工門に影響を与えることなく、系成することができ あっつまり、ボケット8220 a になるを別イン氏、 国域220日にDD8244 a になるとアメイン氏、 44を形成する際に住むして影性徴することができるが

り十分な低ティネル効果の発見を行うことが見信にな

(0048] そらに、図3(日)に示した外部は数数は 開盟24の7時にはを含することにより、図3(日) に添したシの場合にはを含することにより、図3(日) 住にさせてポケット図2日のも形成ったっとは、戸盤、 オンは入場底2日の中の不穏かイナンが外部は認知した。 関24日に認確されるでは、この不能的イナンが単数が リコン基底21日の外に対象していくことを形でことが

【0049】未発売の第2の実施の影響ではNMOSF ETや更にして収売したが、これに戻られたものではな く、PMOSFETを製造する場合に用いてしない。 PMOSFETを製造する場合には、P数シリコン場場

イオン世入職報244版成のためのイオン田入の代わり に予盟の年報をオーを住入して、戸型イナン代入版を を形成する。図3(D)の工即のペラークおよび条件 は以下の場でもあ。ほんプライを始め、オーの報覧・8 Fg\*、イオン田入本ネルギー:数20~30kmi、N型シリーン基据の発証がらむ上が表さまれた。

| T. # | 1001| = L. T. (E. (A) DELLIAN TEL. M.)
| Self. (A) DELLIAN TEL. M.)
| Self. (A) DELLIAN TEL. M.)
| Self. (A) DELLIAN TEL. M. (A)
| Self. (B) DELLIAN TEL. M. (B)
| Self. (B) DELLIAN TELLIAN TELLIAN
| Self. (B) DELLIAN TELLIAN
| Self. (B) DELLIAN

【0052】その他の手類はNMOSFETの場合と同じである。 じである。 【0053】米支援側の半導体装置の製造方位は、半線

取り除くときに行ってもよい。

通り活の別様の形態の形態の形式とついて民界するための資産 工程版である。以下、図るま1回図6を用いて未発料の 第3の実施の形態について世界する。 【0057】 本免別の第3の実施の形態を用いてNMO SFETを製造する場合について世界する。

(008) ます、図5(A)に示すよりに、Pがシリコン国、アングラン国、アングランリティ 阿はおよび原で原母に関係する。そしてアンソティ 阿はおよび原で原母に関係する。そしてアンリティ PROMの関係・ターニングにマートを記憶なり、また50名をグラーを開発するものまなで表現シア・フースのなると

4 のを報答的に繋する。
(4 のを報答的に繋する。
(4 のを報答のに乗する。
(5 の5 9) 対に、戸型ソリン基礎 3 0 のをマスラにし
て、戸型ソリン基礎 3 1 0 の表面に対して図5(A)
の大切で示す。 2 に転ばに戸辺の表慮とガンを上入
し、型ペイン注入機能 3 2 0 を懸音する。 (25 ら )
の工型のペラットのおより機能は「下の過でする。 (35 ら )

お選卡12-23207

に含まれるP型の不純物イオンの外部質数防止およびボ ト周320mを形成する。この際、例えばSiO2版で 銀紙320を依頼させることにより活性化させてポケッ が、F型シリコン基版310の外部に拡散しない程度の EAGE: 0.07~0.10 m, F-XQ: \$11013/cm2 #一:#30ke/、P型シリコン塔級310の設備からの ケット局320m形成を連続して行う。 5 (B) に示す工程にて、P型イオン注入解析3 2 0 中 ある外部拡散防止用限342も形成される。つまり、図 し、校けて800~850℃に超度を上げて、P型イオン注入 **温度として例えば700℃で、から酸素雰囲気中で熱気周** オン狂人群級320中に含まれるP型の不成物イオン [0060] 太に図5 (B) に赤すように、生ずP型4 入する不規物イオンの智慧:BF2<sup>†</sup>、イオン住入エネパ

\$2×1013~5×1013/c2. の衰竭からの注入深さ:約0.04~0.07 pm, ドーズ費 オン在人はネクキー:#20~30ker、P型ンリロン環境 通りである。住入する不純物イオンの種類:Ast、イ る。図5 (C) の工程のパラメータおよび条件は以下の オンを住入して、N型イオン注入領域344を形成す て図5 (C) の矢印で示すように最直にN型の不能物4 をマスクにして、P型シリコン基板310の設備に対し 10年に銀化板パターン314およびゲート包装350 世用版342を取り除く。それからP型シリコン基板3 【0062】次に図6 (A) に示すように、ゲート組出 [0061] 次に図5 (C) に示すように、外部拡張)

μα、ドーズ盤:約5×10<sup>15</sup>/cs<sup>2</sup>。 P型シリコン基板310の装置からの注入課さ:約0. オンの福祉:As\*、イオン在入エネルボー: #550keF ータおよび条件は以下の通りである。 住入する不規格イ 往人間域323を形成する。図6 (A) の工程のバラメ して発疸にN型の不成物イオンを狂入して、N型イオン Oをマスクにして、P型シリコン基板310の安通に対 イドウォールスペーサ341および変化膜パターン34 1の問題に質に扱からなるサイドウォールスペーサ34 【0064】 次に図6 (B) に示すように、約1000℃に [0063] そして、P型シリコン基板310中に、 350、硫化版ペターン340およびゲート数化版31

イー工程とエッチング工程を行って、コンタクトホール ース・ドレイン居323mの上部に、フォトリングラフ 2などの発揮性の短期数315を壊損させ、それからソ 化されてLDD層344.となる。大に、全面にSiO **23323 a となり、 N型イオン注入回装3 4 4 は部件 イギン氏入国版323は結核行されたソース・ドフイソ** おいて約10分数処理を行う。この敷処理によって、N型

チベックまたはCMPを行ってコンタクトホール内33 約332を形成するため専印器を全面に単額させ、エッ 【0065】 次に図る (C) に示すように、コンタク |

> 危欺殆として用いることも可能である。 工程でパターニングする。なお、コンタクト層332を 1 を規模させてフォトリングラフィー工程とエッチンク 0にコンタクト暦332を形成する。最後に配線图3: 【0066】なお変化版パターン340およびサイドウ

限311の解除にサイドウォールスペーサ341を配し **塩た図6 (B) ご示したコンタクトホール330に図6** ク合わせのずれに起因して、コンタクトホールの関ロ位 ておくことによって上記のずれに対する問題を解消でき ト包養350、強化数パターン340およびゲート数化 ト旬後350上に変化版パターン340を、およびゲー 気的に接触し、ショートしてしまう。したがって、ゲー コンタクト約332と、韓出したゲート信服350が個 へ交易がある。もしも、ゲート商業350が韓出した状 盟がずれた場合に生じる、ゲート環境350の腐出を防 関ロするとき、フォトリングラフィー工程におけるマス ドワイン群323。の上部にコンタクトホーチ330を **ォールスペーサ341は、図6(B)におけるソース・** (C) に示したコンタクト担332を形成すると、この

り十分な垣チャネル効果の抑制を行うことが可能にな で在之回が広がる部分に形成することができ、これによ 合でも、ポケット図320gを動作時にチャネル解析で が高く、隣り合うゲート収集350同士の問題が狭い場 に対して最直に注入することが可能になるので、P型の P型の半段物のイオンやP型シリコン構模310の扱道 空を履が広がる部分に形成しなくてもいい。したがって をイオン住入によって直接、動作時にテャネル領域下で 任意に設定できる。 つまり、P繋イオン住入倒装320 ケット船となるP型イオン住入網級320の拡散条件を の半異体製品の製造方法では、ポケット図320mとな となく住入できる。したがってゲート栽培350の高さ 不規制のイオンをゲート包装350によって混られるこ 23 aを形成する前に独立して熱拡散するため、ソース るP型イオン注入解験320は、シース・ドフイン約3 ・ドレイン約323mの形成工程に影響を与えずに、ボ 【0067】上述した通り、本処例の第3の実施の形態

類様320はLDD約344±となるイオン技入解壊3 る。つまり、ポケット署320×となるP型イオン注入 形成工程に影響を与えることなく、形成することができ 4.4を形成する前に独立して釈述数することができるか 20 m 形成の後に形成されるため、ボケット層 3 2 0 m 【0068】 さらにLDD数344aは、ポケット数3

中の不統物イオンが外部拡散防止用膜3 4 2 に遮断され 層320gを形成するとき、P型イオン性入類收320 往入蜘峡320を熱蛇敷によって活性化させてポケット 用数342の機関工程を有することにより、P型イオン 【0069】さらに、図5 (B) に示した外的拡散防止

して行うため、本発例第2の反抗例よりもMOSFET

通りである。 住入する不能物イオンの指題: P\*または る。図5(A)の工程のパラメータおよび条件は以下の 契物イオンを注入して、N型イオン注入製装を形成す 形成のためのP別のイオン注入では、代わりにN別の子 5 (A) の工程においては、P型イオン佐入類版320 310の代わりにN型シリコン基板を用いる。さらに反 PMOSFETを製造する場合には、P型シリコン場板 く、PMOSFETを製造する場合に用いてもよい。

デザインルーパの.18pm程度以下の世代の半導体製図で イオン注入によるポケット層の形成が困難になってくる を用いることにより、MOSFET形成において、動め 1×10<sup>15</sup>/cm<sup>2</sup>、PMOSFETの場合約1×10<sup>14</sup>~5×10 0.05mm、ドーズ章: NMOSFETの場合約3×10<sup>14</sup>~ eV、ア型シリコン基礎の製田からの狂人概さ:#30.00~ イオンの栽培: NMOSFETの場合As\*, PMOS クステンション燈を形成してもよい。このとき、不解数 取り除くときに行ってもよい。

【発明の効果】以上説明したように本発明の実施の形態

[四面の屋口な数例]

BF2<sup>†</sup>、イオン在入エネルギー: 約20~30keV、N型ウ 件は以下の通りである。往入する不規物イオンの種類 模を形成する。図5 (C) の工程のパラメータおよび4 りにP型の不統物イオンを注入して、P型イオン注入様 イオン住入額域344形成のためのイオン住入は、代わ の注入探さ:0.07~0.10 m , ドーズ最:約10<sup>13</sup>/ca<sup>2</sup>。 Ast、イオン注入エネルギー: Ptの場合は約70keV [0071] さらに図る (C) の工程においては、Ng As\*の場合は約150keV、N型シリコン基礎の安涵から

イオン柱入類域323形成のためのイオン往入はの代表 リコン基礎の表面からの往入祭さ:約0.04~0.07 # 8. [0072] そして図6 (A) の工程においては、N型 ドーズ章: #52×10<sup>13</sup>~5×10<sup>13</sup>/ca2。

ン基板の収益からの往入煙さ:約2,15gm, ドーズ品 BF2\*、イオン在入エネルギー:#jdoke/、N型シリコ 件は以下の通りである。往入する不純物イオンの権限 城を形成する。図6 (A) の工程のパラメータおよび株 りにP型の不解的イオンを注入して、P型イオン技入存

C 755 【0073】その他の手順はNMOSFETの場合と回

体芸板の一部に半導体基板と異なる専覧型の基体を形成 【0074】本実施例の半導体装置の製造方法は、準調

120: ボケット的

一ト級化設311の形成は、外部近数形式用膜342を シリコン馬板310上の機心板のペターニングによるケ 成しているが、この方法に限られるものではなく、P型 0と同時にパターニングして、ゲート酸化版311を形 上の数化資を、ゲード結構350を製化費スターン34 使うことができる。 し、この基体の表面上に半導体装置を形成する場合にも [0075] また本実施例ではP型シリコン基板310

形成工程を簡単にできる。 止用膜342形成およびポケット層320 = 形成を適級 型イオン住入間核320中の不能物イオンの外部拡張的 外に損骸していくことを防ぐことができる。さらに、P もので、この不然物イオンボド型シリコン基項310の

FETの場合BF2\*、イオン注入エネルギー:約5~104 4 ボン住人の条件は以下の通りである。往入する不能性 [0076] あるいはLDD超344aの代わりに、

ETを例にして説明したが、これに扱られたものではな 【0070】本発明の第3の実施の形態ではNMOSF

年ものである. 不すものである.

【図2】 本発明の第1の炭塩度の工程その2を影階図で 【図1】本発明の第1の実施例の工程その1を新面図で 6、確実にポケット層を形成することができる。

赤すらのである。 \*+60035. **年すらのである。** 【図5】本発明の第3の実施例の工程その1を原面図で 【図3】本発明の第2の実施例の工程その1を助函図で 【図4】 本発明の第2の策略例の工程その2を低温限で

**ネすものである。** 

【図7】従来の工程その1を新田辺で尽すものである 【図6】 本発用の第3の実験例の工程その2を搭面図で

115: 樹類原 113:タングステンシリサイド 112:ポリシリコン 120:P型イオン狂人間域 1 1 0 : P型シリロン場面 【図8】従来の工程その2を飲削回で示すものである。 [神野の19年]

123:N型イオン注入製品 130:コンタクトボール 123 a:ソース・ドレインを

132:コンタクト四 131: AND S

141:サイドウォーバスペーサ 140:強化版ペターン

150:ゲートの語

